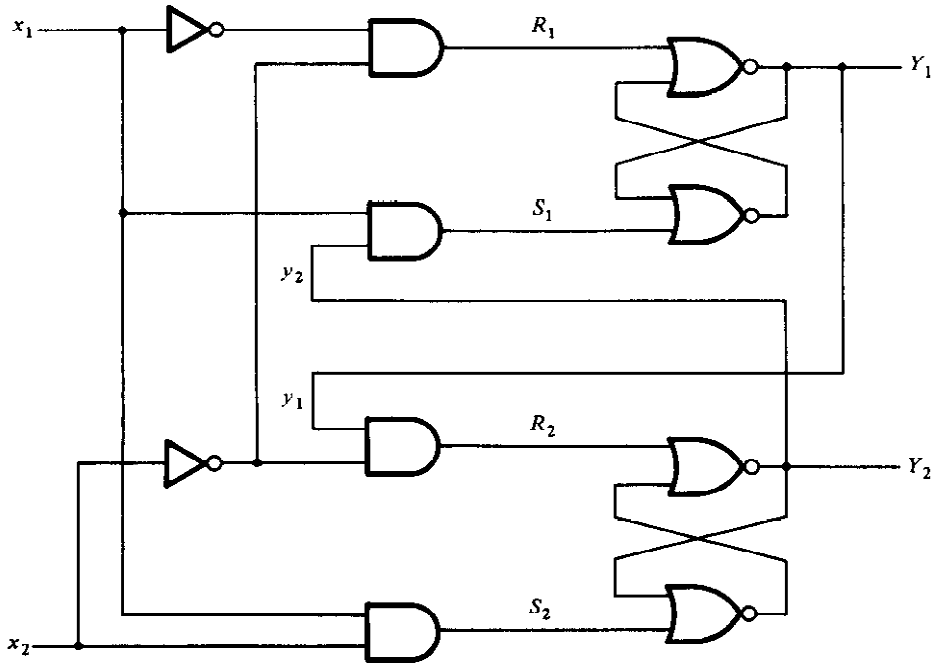
ASSIGNMENT #13

1. จงแสดง excitation Table, Flow Table และ State Diagram ของวงจรต่อไปนี้



2. จงออกแบบวงจร Gated Latch ที่มี 2 Input, *G* (gate) กับ *D* (data) และมีสถานะ (state) ทั้งหมดดังแสดงในตารางต่อไปนี้

Gated-Latch Total States

State	Inputs *D*	Inputs *G*	Output *Q*	Comments
a	0	1	0	$D = Q$ because $G = 1$
b	1	1	1	$D = Q$ because $G = 1$
c	0	0	0	After state *a* or *d*
d	1	0	0	After state *c*
e	1	0	1	After state *b* or *f*
f	0	0	1	After state *e*

(a) จงแสดง Primitive Flow Table

(b) จงลดรูป Flow Table

(c) จงแสดง Excitation Table และ Logic Diagram